

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-007110

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

G06F 7/00
G06F 5/00

(21)Application number : 2000-192762

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.06.2000

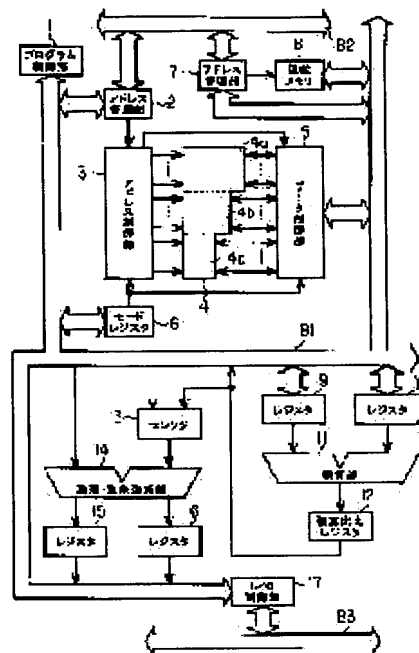
(72)Inventor : SHIBUYA KAZUTOSHI

(54) DIGITAL SIGNAL PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To quickly realize bit processing in a simple constitution with the small number of instructions.

SOLUTION: This device is provided with a work memory 4 in which three kinds of address areas whose bit length is different from each other are allowed to coexist. The three kinds of address areas are constituted as a fixed bit length area 4a and limited bit length areas 4b and 4c, and plural address areas are respectively allowed to belong to each area. The address areas belonging to the fixed bit length area 4a are provided with bit length (n bits) for one word, and the address areas belonging to the limited bit length areas 4b and 4c are respectively provided with different bit length (m0 bit and m1 bit) shorter than the bit length for one word.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

プログラムに基づいて、そのプログラムの記述内容に記した任意の信号号と電線を一致するべく各部の動作を制御する、なお図示を省略しているが、このプログラム制御部1の制御対象となる部分とプログラム制御部1との間には制御線により接続されている。

【0030】アドレス管理部2は、作業用メモリ4に関するアドレス管理部2を行う。すなわちアドレス管理部2は、アドレスバスB2を介して指定されるアドレスが作業用メモリ4に対応するものであるときに、そのアドレスに対応した作業用メモリ4のアドレス出力するなどの処理を行う。このアドレス管理部2が出力するアドレスはアドレス制御部3へ与えられる。

【0031】アドレス制御部3は、作業用メモリ4に設けられた多数のアドレス領域(1つのアドレスが割り付けられた記憶領域)のそれぞれをアクセス先として指定するセレクト信号を任意に発生して作業用メモリ4へ与える。アドレス制御部3は、アドレス管理部2から与えられるアドレスに基づいてセレクト信号の出力を行うが、モードレジスタ6から与えられるモード制御信号により示されるモードに応じてセレクト信号の出力形態を後述するように変化する。

【0032】作業用メモリ4は、半導体メモリよりなり、多数のアドレス領域が設定されている。この多数のアドレス領域は、固定ビット長領域aおよび制限ビット長領域b、4つのアドレス領域に分割されている。ここで各領域は図2に示すように、固定ビット長領域aに属するアドレス領域は1ワード分のビット長(nビット)を、また制限ビット長領域b、4cに属するアドレス領域は1ワード分より短くかつそれぞれ異なるビット長(m0ビット、m1ビット)をそれぞれ有する。すなわち作業用メモリ4は、それぞれビット長が異なる3種類のアドレス領域が混在して設けられている。

【0033】データ制御部5は、作業用メモリ4に設けられた多数のアドレス領域のそれぞれに対応するメモリデータ1の出力により作業用メモリ4に接続されている。そしてデータ制御部5はデータバスB1から取り込んだデータを任意のアドレス領域に与えたり、任意のアドレス領域から出力されるデータをデータバスB1へと出力する。データ制御部5はデータを作業用メモリ4やデータバスB1へと出力するに当り、モードレジスタ6から与えられるモード制御信号により示されるモードに応じて後述するようなデータ処理を行う。

【0034】モードレジスタ6は、ビット処理を行う場合の処理内容に応じてモード情報に任意に登録される。モードレジスタ6は、この登録されたモード情報に応じてデータ制御部5を生成してアドレス制御部3およびデータ制御部5へ与える。

【0035】アドレス管理部7は、係数メモリ8に関するアドレス管理部7を行う。すなわちアドレス管理部7は、アドレスバスB2を介して指定されるアドレスが係数メモリ8に対応するものであるときに、そのアドレスに対応した係数メモリ8のアドレス出力するなどの処理を行う。このアドレス管理部7が出力するアドレスは係数メモリ8へ与えられる。

【0036】係数メモリ8は、信号処理のための係数データを格納しておくために使用される。

【0037】レジスタ9、10は、積算部1の入力用レジスタである。すなわちレジスタ9、10は、積算部1で積算するべき2つのデータを、暗黙的に保持しておく。

【0038】積算部11は、レジスタ9、10にそれぞれ保持された2つのデータを積算し、その結果を積算出力レジスタ12へと与える。

【0039】積算出力レジスタ12は、積算部11の出力用レジスタである。すなわち積算出力レジスタ12は、積算部11での積算結果を、暗黙的に保持しておく。この積算出力レジスタ12は、レジスタ9、10の容量、すなわち1ワード長の2倍のビット長を有し、これにより積算精度を確保する。この積算出力レジスタ12の保持データは、データバスB1またはセレクト13へと必要に応じて出力される。なお、積算出力レジスタ12の保持データは2ワード長を持つので、データバスB1にて転送する場合には1倍、下位の指定が必要となる。

【0040】セレクト13は、積算出力レジスタ12から出力されるデータと、データバスB1を介して到来するデータとのいずれか一方を選択して論理・算術演算部14へと与える。

【0041】論理・算術演算部14には、レジスタ9、10、15、16の保持データおよび積算出力レジスタ12の保持データの上位側のうちのいずれか2つが任意に供給される。そして論理・算術演算部14は、この供給される2つのデータを対象として和算や論理和算などの処理を行う。そして論理・算術演算部14は、2ワード長となる演算結果データの上位側をレジスタ15へ、また下位側をレジスタ16へそれぞれ出力する。

【0042】レジスタ15、16は、1ワード長の容量を有し、論理・算術演算部14から与えられる1ワード長ずつのデータを、暗黙的に保持しておき、データバスB1へと必要に応じて出力する。

【0043】1/O制御部17は、データバスB1と外部バスB3との間でのデータ交換、すなわちDSPの外部とのデータの出入りを行う。

【0044】図3はプログラマ制御部1の詳細な構成を示すブロック図である。

【0045】この図に示すようにプログラマ制御部1は、プログラマカウンタ2、プログラマメモリ22、インストラクションレジスタ23、インストラクションデコーダ24、演算制御部25、分岐制御部26、マスク制御部27およびアドレスカウンタ28を有している。

【0046】プログラマカウンタ21は、所定のタイミング毎にプログラマアドレスをカウンタアップし、最新プログラマアドレスをプログラマメモリ22およびス

タ制御部27へと与える。

【0047】プログラマメモリ22は、実行すべき信号処理の手順が記憶されたプログラムが登録されている。そしてプログラマメモリ22は、プログラマカウンタ21から与えられるプログラマアドレスが付けられたインストラクションコードをインストラクションレジスタ23に与える。

【0048】インストラクションレジスタ23は、プログラマメモリ22から与えられたインストラクションコードを、暗黙的に記憶しておき、インストラクションデコーダ24へと供給する。

【0049】インストラクションデコーダ24は、インストラクションレジスタ23に保持されたインストラクションコードをデコードし、そのデコード結果に基づいて図1の各部に必要な制御信号を与える。

【0050】演算制御部25は、演算が発生した場合にその演算を実行するためにプログラマカウンタ21が発生するプログラマアドレスを変更させる。

【0051】分岐制御部26は、プログラマに与える分岐条件、分岐、ジャンプの呼び出しが発生した場合に、それらの処理分岐を実行するためにプログラマカウンタ21が発生するプログラマアドレスを変更させる。

【0052】マスク制御部27は、演算みやサブルーチンからの復帰動作のために、プログラマアドレスを必要に応じて待避(スタック)しておき、復帰時にスタックしてある値をプログラマカウンタ21に供給する。

【0053】アドレスカウンタ28は、アドレスのカウントアップ動作を行う。

【0054】次に以上のように構成されたDSPの動作について説明する。

【0055】まず作業用メモリ4のうちの固定ビット長領域aおよび制限ビット長領域b、4cの各アドレス領域をアクセスするためのアドレスは既述であって、ユースはこれらの3種類のアドレス領域を適宜に使用することができ。

【0056】作業用メモリ4のうちの固定ビット長領域4aは、従来通りの1ワード長の領域であるから、この固定ビット長領域4aに属するアドレス領域を用いることで、従来通りの1ワード単位でのデータ処理を行うことができる。

【0057】一方、制限ビット長領域b、4cは、容量が1ワードよりも小さい制限長(m0ビット、m1ビット)に制限された領域であって、以下に説明するようにして使用することでm0ビット単位やm1ビット単位でのビット処理を行うことができる。

【0058】以下、このようなビット処理に関する動作について詳しく説明する。

【0059】まずビット処理を行う場合、モードレジスタ6に第1モード〜第4モードのそれぞれを示すモード情報のいずれかを設定しておく。

【0060】(第1モード) このモードは、1ワード中の所定位置のm0ビット分のビット列をn/m0ワード分、あるいは1ワード中の所定位置のm1ビット分のビット列をn/m1ワード分連結してnビット長、すなわち1ワード長のデータを作成するバック動作を行うモードである。

【0061】1ワード中の所定位置のm0ビット分のビット列をn/m0ワード分連結するバック動作を行う場合には、連結すべきビット列を含むn/m0ワードがデータバスB1を伝送される時に、制限ビット長領域4bに属する連続するn/m0個のアドレス領域を指定し先アドレスi、i+1、…、i+kとして順次指定することとする。なおここでkは「(n/m0) - 1」で求まる値であり、n=16、m0=4とするならば、k=3となる。

【0062】そうするとアドレス制御部3は、このn/m0個の指定先アドレスのそれぞれが示すアドレス領域をアクセス先とするべくセレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることでデータ制御部5へ通知する。

【0063】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることが通知され、かつ書き込み時であるならば、データバスB1を介して到来する1ワード長のデータのうちの上位m0ビットのみを作業用メモリ4に与える。

【0064】かくして、図4(a)に示すように、アドレスi、i+1、…、i+kの各アドレス領域に、n/m0個の1ワードデータのうちの上位m0ビットずつがそれぞれ書き込まれることとなる。なお、1ワードデータのうちの上位m0ビット以外のビット列は廃棄する。

【0065】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、連結するデータが記憶された先頭のアドレス領域のアドレスiを指定することとする。

【0066】そうするとアドレス制御部3は、アドレスiから連続するn/m0個のアドレス領域、すなわちアドレスi、i+1、…、i+kのアドレス領域をそれぞれ読み出し先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0067】これにより、作業用メモリ4からはアドレスi、i+1、…、i+kの各アドレス領域に格納されているm0ビットずつのデータが順にn/m0個出力されることとなる。

【0068】そこでデータ制御部5は、このn/m0個のm0ビットデータを上位側から順に配置した状態で連結すること、図4(a)に示すようにnビット長、すなわち1ワード長のデータを作成する。そして作業用メモリ4から出力されるデータを例々には出力することなしに、生成した1ワード長のデータをデータバスB1へ

と出力する。

【0069】1ワード中の所定位置の m_1 ビット分のビット列を、 n/m_1 ワードに連続する n ビット動作を行う場合には、 n ビット先および抽出したアドレスを $j, j+1, \dots, j+h$ とし、かつ制限ビット長領域4cを使用し、図4(b)に示すような記号と同様な動作により実現される。なおここで h は $\lfloor (n/m_1) - 1 \rfloor$ で表される値であり、 $n=16, m_1=1$ とするならば、 $h=15$ となる。

【0070】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、 n/m_0 個または n/m_1 個の1ワードデータから抽出した m_0 ビットまたは m_1 ビット分のビット列をハッシュしてなる1ワード長のデータを作成することができる。

【0071】(第2モード) このモードは、 m_0 ビットまたは m_1 ビット列を n/m_0 個ハッシュしてなる1ワード長のデータや、 m_1 ビットまたは m_1 ビット列を n/m_1 個ハッシュしてなる1ワード長のデータや、 m_0 ビットまたは m_1 ビット列を n/m_0 個ハッシュしてなる1ワード長のデータを連続する n ビット動作を行うモードである。

【0072】 m_0 ビットまたは m_1 ビット列を n/m_0 個ハッシュしてなる1ワード長のデータを連続する n ビット動作を行う場合には、まず分離すべき1ワードデータがデークバス1cに伝送されるときに、制限ビット長領域4bに属する任意のアドレス領域のアドレス i を書き込み先として指定することとする。

【0073】そうするとアドレス制御部3は、アドレス i から連続する n/m_0 個のアドレス領域、すなわちアドレス $i, i+1, \dots, i+k$ のアドレス領域をそれぞれ書き込み先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0074】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることを通知され、かつ書き込み時であるならば、デークバス1cを介して到来する1ワード長のデータを上位から m_0 ビット分かつ分離して、作業用メモリ4のアドレス $i, i+1, \dots, i+k$ のアドレス領域へそれぞれ書き込む。

【0075】かくして、図5(a)に示すように、アドレス $i, i+1, \dots, i+k$ の各アドレス領域に、1ワード長のデータから分離された m_0 ビット分の n/m_0 個のデータがそれぞれ書き込まれることとなる。

【0076】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、各データが記憶されたアドレス領域のアドレス $i, i+1, \dots, i+k$ を順次指定することとする。

【0077】そうするとアドレス制御部3は、このアドレスのそれぞれに対応するアドレス領域をそれぞれアク

セス先とするべく順次セレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0078】これにより、作業用メモリ4からはアドレス $i, i+1, \dots, i+k$ の各アドレス領域に格納されている m_0 ビット分のデータが順に n/m_0 個出力されることとなる。

【0079】そこでデータ制御部5は、この m_0 ビット分のデータのそれぞれを上位側に配し、残りのビットを全て「0」とした1ワード長のデータとして順次デークバス1cへ出力する。

【0080】 m_1 ビットまたは m_1 ビット列を n/m_1 個ハッシュしてなる1ワード長のデータから m_1 ビット分のビット列を分離するアンバック動作を行う場合には、書き込み先および抽出したアドレスを $j, j+1, \dots, j+h$ として、かつ制限ビット長領域4cを使用し、図5(b)に示すような記号と同様な動作により実現される。

【0081】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、 m_0 個または m_1 個ハッシュしてなる1ワード長のデータから m_1 ビットまたは m_1 ビット分のビット列を分離することができる。

【0082】(第3モード) このモードは、1ワード中の所定位置の m_0 ビット分のビット列や1ワード中の所定位置の m_1 ビット分のビット列を抽出するモードである。

【0083】1ワード中の所定位置の m_0 ビット分のビット列を抽出する場合には、その抽出すべきビット列を含むデータがデークバス1cに順次伝送されるのに合わせて、制限ビット長領域4bに属する連続する n/m_0 個のアドレス領域を i から $i+k$ と指定することとする。

【0084】そうするとアドレス制御部3は、この n/m_0 個のアドレス領域のそれぞれが示すアドレス領域をアクセス先とするべくセレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0085】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることを通知され、かつ書き込み時であるならば、デークバス1cを介して到来する1ワード長のデータのうちの上位 m_0 ビットのみを作業用メモリ4に与える。

【0086】かくして、図6(a)に示すように、アドレス $i, i+1, \dots, i+k$ の各アドレス領域に、デークバス1cに順次伝送される n/m_0 個の1ワードデータのうちの上位 m_0 ビットがそれぞれ書き込まれることとなる。

【0087】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、各データが記憶されたアドレス領域のアドレス $i, i+1, \dots, i+k$ を順次指定することとする。

【0088】そうするとアドレス制御部3は、このアドレスのそれぞれに対応するアドレス領域をそれぞれアドレス先とするべく順次セレクト信号を出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0089】これにより、作業用メモリ4からはアドレス $i, i+1, \dots, i+k$ の各アドレス領域に格納されている m_0 ビット分のデータが順に n/m_0 個出力されることとなる。

【0090】そこでデータ制御部5は、この m_0 ビット分のデータのそれぞれを上位側に配し、残りのビットを全て「0」とした1ワード長のデータとして順次デークバス1cへ出力する。

【0091】1ワード中の所定位置の m_1 ビット分のビット列を抽出する場合には、書き込み先および抽出したアドレスを $j, j+1, \dots, j+h$ として、かつ制限ビット長領域4cを使用し、図6(b)に示すような記号と同様な動作により実現される。

【0092】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、1ワード中の所定位置の m_0 ビット分のビット列や1ワード中の所定位置の m_1 ビット分のビット列を抽出することができる。

【0093】(第4モード) このモードは、 m_0 ビットまたは m_1 ビット列を n/m_0 個ハッシュしてなる1ワード長のデータや、 m_1 ビットまたは m_1 ビット列を n/m_1 個ハッシュしてなる1ワード長のデータから m_0 ビットまたは m_1 ビット分のビット列を分離することとする。

【0094】 m_0 ビットまたは m_0 ビット列を n/m_0 個ハッシュしてなる1ワード長のデータのアンバック動作を行う場合には、まず分離すべき1ワードデータがデークバス1cに伝送されるときに、制限ビット長領域4bに属する任意のアドレス領域のアドレス i を書き込み先として指定することとする。

【0095】そうするとアドレス制御部3は、アドレス i から連続する n/m_0 個のアドレス領域、すなわちアドレス $i, i+1, \dots, i+k$ のアドレス領域をそれぞれ書き込み先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0096】一方、データ制御部5は、アクセス先が制限ビット長領域4bであることを通知され、かつ書き込み時であるならば、デークバス1cを介して到来する1ワード長のデータを上位から m_0 ビット分かつ分離して、作業用メモリ4のアドレス $i, i+1, \dots, i+k$ のアドレス領域へそれぞれ書き込む。

【0097】かくして、図7(a)に示すように、アドレス $i, i+1, \dots, i+k$ の各アドレス領域に、1ワード長のデータから分離された m_0 ビット分の n/m_0 個のデータがそれぞれ書き込まれることとなる。

【0098】続いて、このように作業用メモリ4に書き込んだデータを読み出す場合、連続するデータが記憶されたアドレス領域のアドレス i を指定することとする。

【0099】そうするとアドレス制御部3は、アドレス i から連続する n/m_0 個のアドレス領域、すなわちアドレス $i, i+1, \dots, i+k$ のアドレス領域をそれぞれ書き込み先とするべくセレクト信号を順次出力する。またアドレス制御部3は、アクセス先が制限ビット長領域4bであることをデータ制御部5に対して通知する。

【0100】これにより、作業用メモリ4からはアドレス $i, i+1, \dots, i+k$ の各アドレス領域に格納されている m_0 ビット分のデータが順に n/m_0 個出力されることとなる。

【0101】そこでデータ制御部5は、この n/m_0 個の m_0 ビットデータを上位側に配した状態で連続すること、図7(a)に示すように n ビットは、すなわち1ワード長のデータを作成する。そして作業用メモリ4から出力されるデータを順次には出力することなしに、作成した1ワード長のデータをデークバス1cへ出力する。

【0102】1ワード中の所定位置の m_1 ビット分のビット列を抽出する場合には、書き込み先および抽出したアドレスを $j, j+1, \dots, j+h$ として、かつ制限ビット長領域4cを使用し、図7(b)に示すような記号と同様な動作により実現される。

【0103】以上のようにして、ユーザ側、すなわちプログラム作成者側から見れば、制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとを行うだけで、 m_0 ビットまたは m_1 ビット列を n/m_0 個ハッシュしてなる1ワード長のデータや、 m_1 ビットまたは m_1 ビット列を n/m_1 個ハッシュしてなる1ワード長のデータのアンバック動作を行うことができる。

【0104】以上のように本実施形態によれば、ユーザ側、すなわちプログラム作成者側から見ての制限ビット長領域4b, 4cをアクセス先としてのデータの書き込みと、その書き込んだデータの読み出しとにより各前のビット処理を行うことが可能である。従って、命令数は

データの書き込みや読み出しに用いる少数で済み、処理間に処理することが可能である。

【0105】しかも本実施形態では、メモリアクセスモード機能を行うDSIのように作業用メモリ4でのアドレス領域とアドレスとの対応関係を変化させる必要が無く、読取アドレスにより作業用メモリ4のアクセス制御を行うので、アドレス制御部3は簡易な構成により実現可能であり、作業用メモリ4のアクセス速度の低下は最小限に抑えることができる。

【0106】このようなことから本実施形態によれば、高速にビット処理を行うことが可能である。

【0107】なお本発明は上記実施形態に限定されるものではない。例えば上記実施形態では、1ワード長のデータからの抽出するビット列を1ワード長のデータの上位側のビット列としているが、この抽出するビット列の位置は任意に設定可能である。

【0108】また上記実施形態では、ハック動作の際には抽出したデータをその抽出順に連続するものとしているが、この連続動作は任意に設定可能である。例えばメモリ4には、抽出順序を前順順に異ならせようとしていることで、ビット単位でのデータの並び替えが実現できる。

【0109】また上記実施形態では、割込ビット長領域を4および4cの2種類に分けることとしているが、1種類のみに分けるようにしても良いし、3種類以上に分けるようにしても良い。

【0110】また上記実施形態では、4つのモードを備えて、4種類のビット処理を選択的に実行可能としているが、上記の4つのモードの全てを備える必要はない。そして1種類のビット処理を行うように構成することも可能であり、その場合にはモード選択のための構成を排除できる。

【0111】また上記実施形態では、アドレス制御部3およびデータ制御部5の処理を変更することで任意のビット処理を行うことが可能であり、上記実施形態に添った4種類のビット処理以外のビット処理を行うようにしても良い。

【0112】また、行うビット処理によっては、アドレス制御部3やデータ制御部5での処理をソフトウェア処理により行うようにすることも可能である。

【0113】また上記実施形態では、本発明に係るデジタル信号処理装置をDSIに適した例を示しているが、LSI化しないでも実現するなどのように他の形態で実現することも可能である。

【0114】このほか、本発明の要旨を逸脱しない範囲で種々の変形実施が可能である。

【0115】

【発明の効果】第1の本発明は、作業用メモリを、1アドレスで指定される記憶領域として、その容量が1ワードである第1領域および第2領域が1ワード（8は所定

の自然数）である第2領域とを設けたものとしたので、作業用メモリ第2領域へのデータの書き込みや読み出しを適宜行うことで、1ワード長のビット列単位でのビット処理を行うことが可能となり、しかもアドレス制御部に用いる第1領域および第2領域のいずれも同じアドレス領域として扱えば良く、この結果、簡易な構成かつ少ない命令数により高速にビット処理を実現することができるとするデジタル信号処理装置となる。

【0116】また第2の本発明は、データバス1を伝送される1ワードデータにおける所定ビット位置の1/8ワード長のビット列を抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された所定の8個のビット列を所定の順序で並べて1ワード長のデータを生成するようにしたので、8個の1ワードデータにおける所定ビット位置の1/8ワード長のビット列をそれぞれ連続するハック動作を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0117】また第3の本発明は、データバス1を伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長ずつの8個のビット列をそれぞれ抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された1/8ワード長のデータを個々に所定のビット位置に設定して1ワード長のデータを生成するようにしたので、1ワード長のビット列を8個連続してなるデータから1/8ワード長のビット列のそれぞれを分離するアンハック動作を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0118】また第4の本発明は、データバス1を伝送される1ワードデータにおける所定ビット位置の1/8ワード長のビット列を抽出して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された1/8ワード長のビット列のみのみを所定のビット位置に設定して1ワード長のデータを生成するようにしたので、1ワードデータにおける所定ビット位置の1/8ワード長のビット列の抽出処理を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

【0119】また第5の本発明は、データバス1を伝送される1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長ずつの8個のビット列をそれぞれ分離して作業用メモリ第2領域に11格納し、さらにこの第2領域に記憶された1/8ワード長のビット列を所定の順序で並べて1ワード長のデータを生成するようにしたので、1ワードデータにおけるそれぞれ異なる所定ビット位置の1/8ワード長ずつの8個のビット列をそれぞれ連続するアンハック動作を作業用メモリへの書き込みおよび読み出し処理により行うことが可能なデジタル信号処理装置となる。

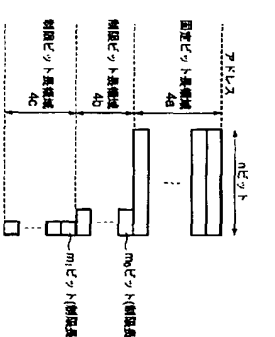
とが可能なデジタル信号処理装置となる。

【図面の簡単な説明】

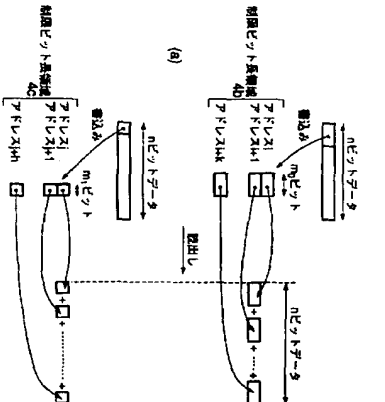
【図1】本発明の「実施形態に係るデジタル信号処理装置を適用して構成されたDSIの要部構成を示すブロック図。
【図2】図1中の作業用メモリ4の詳細構成を示すブロック図。
【図3】図1中のプログラム制御部1の詳細構成を示すブロック図。
【図4】第1モードにおけるハック動作の様子を示す図。
【図5】第2モードにおけるアンハック動作の様子を示す図。
【図6】第3モードにおけるビット抽出動作の様子を示す図。
【図7】第4モードにおけるアンハック動作の様子を示す図。

【符号の説明】
1…プログラム制御部
2…アドレス管理部
3…アドレス制御部
4…作業用メモリ
4a…固定ビット長領域
4b、4c…割込ビット長領域
5…データ制御部
6…モードレジスタ
7…アドレス管理部
8…係数メモリ
9、10、15、16…レジスタ
11…格納部
12…積算出力レジスタ
13…セレクタ
14…論理・算術演算部
17…1/O制御部
B1…データバス
B2…アドレスバス
B3…外部バス

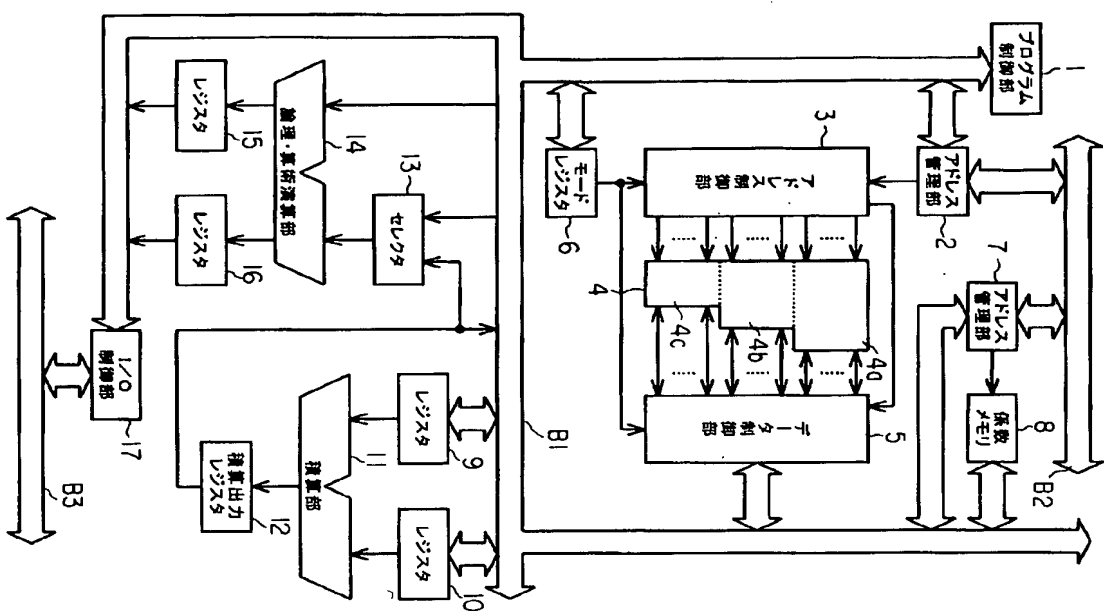
【図2】



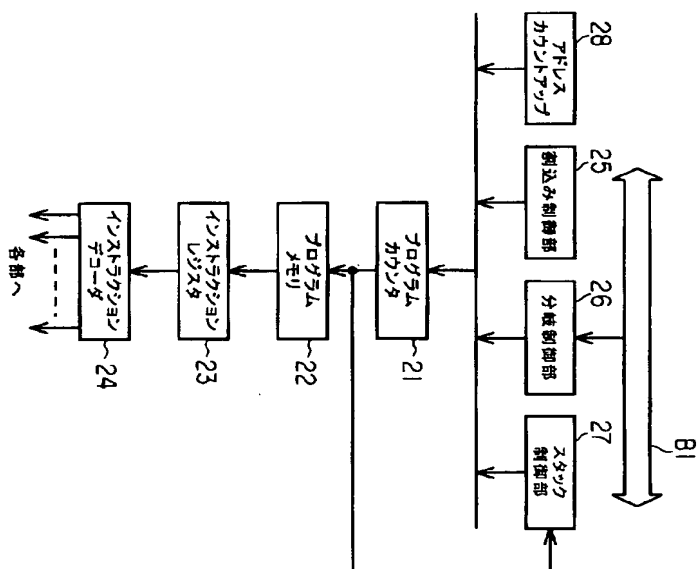
【図4】



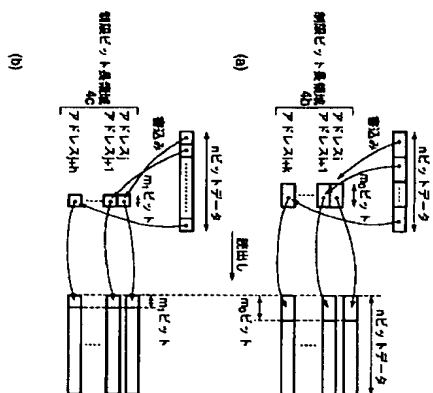
【図1】



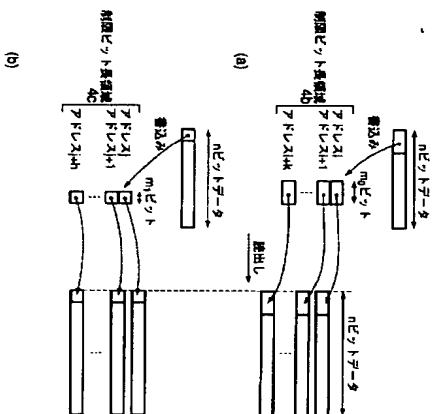
【図3】



【図5】



【図6】



【図7】

